

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-092300

(43)Date of publication of application : 06.04.1999

(51)Int.Cl. C30B 33/02
C30B 15/00
C30B 29/06
H01L 21/02

(21)Application number : 09-254577 (71)Applicant : NEC CORP

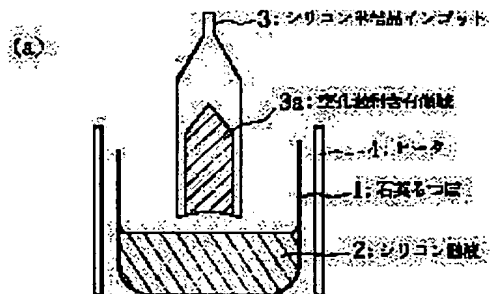
(22)Date of filing : 19.09.1997 (72)Inventor : HORIKAWA MITSUHIRO

(54) PRODUCTION OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a process for efficiently removing or capturing the contaminant impurities intruded into a semiconductor substrate and a semiconductor device during the production process and applicable even in the case of a thin epitaxial layer formed as a defectless layer.

SOLUTION: A silicon single crystal ingot 3 pulled up from a molten silicon 2 in a quartz crucible 1 by CZ method or MCZ method is cut off from the molten silicon 2 in the course of the pull-up operation and the temperature of the silicon single crystal ingot 3 is quenched from 1,200°C to 600°C. Exclusively a region 3a containing excess void is taken out of the silicon single crystal ingot 3 and machined in the form of a wafer 5 and an epitaxial layer 6 is formed on the wafer 5 to obtain the objective semiconductor substrate.



LEGAL STATUS

[Date of request for examination] 19.09.1997

[Date of sending the examiner's decision of rejection] 21.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-92300

(43) 公開日 平成11年(1999) 4月6日

(51) Int.Cl.⁸

識別記号

F I

C 3 0 B 33/02

C 3 0 B 33/02

15/00

15/00

Z

29/06

5 0 2

29/06

5 0 2 Z

H 0 1 L 21/02

H 0 1 L 21/02

B

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平9-254577

(22) 出願日

平成9年(1997) 9月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 堀川 貢弘

東京都港区芝五丁目7番1号 日本電気株式会社内

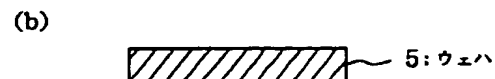
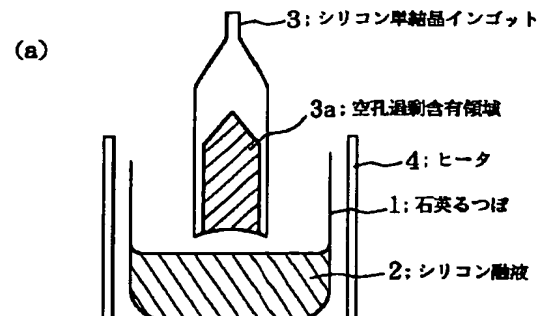
(74) 代理人 弁理士 西村 征生

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 製造工程中に半導体基板や半導体装置に混入される汚染不純物を効率的に除去又は捕獲すると共に、無欠陥層として形成されるエピタキシャル層が薄い場合にも適用できるようにする。

【解決手段】 開示される半導体基板の製造方法では、まず、石英るつぼ1に貯えられたシリコン融液2からCZ法又はMCZ法により引き上げ途中のシリコン単結晶インゴット3をシリコン融液2から切り離した後、シリコン単結晶インゴット3の温度を1200°C以上から600°C以下まで急冷する。次に、シリコン単結晶インゴット3から空孔過剰含有領域3aのみを取り出し、ウェハ5に加工した後、ウェハ5上にエピタキシャル層6を形成して半導体基板とする。



【特許請求の範囲】

【請求項1】 石英るつぽに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法により引き上げ途中のシリコン単結晶インゴットを前記シリコン融液から切り離した後、前記シリコン単結晶インゴットの温度を1200℃以上から600℃以下まで急冷する第1の工程と、

前記第1の工程で作製された前記シリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出して、ウェハに加工する第2の工程と、前記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴とする半導体基板の製造方法。

【請求項2】 石英るつぽに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法によりシリコン単結晶インゴットを引き上げた後、再び1200℃以上に加熱し、その後前記シリコン単結晶インゴットの温度を600℃以下まで急冷する第1の工程と、前記第1の工程で作製された前記シリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工する第2の工程と、前記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴とする半導体基板の製造方法。

【請求項3】 石英るつぽに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法によりシリコン単結晶インゴットを引き上げた後、前記シリコン単結晶インゴットを、所定の大きさの複数のブロックに分断し、前記複数のブロックの温度をそれぞれ1200℃以上に加熱した後600℃以下まで急冷する第1の工程と、

前記第1の工程で作製された前記シリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工する第2の工程と、前記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴とする半導体基板の製造方法。

【請求項4】 前記第1の工程の後に、前記シリコン単結晶インゴット又は前記複数のブロックの温度を400℃～600℃の範囲で一定時間保持又は600℃から400℃まで除冷する第4の工程を行うことを特徴とする請求項1乃至3のいずれか1に記載の半導体基板の製造方法。

【請求項5】 前記第2の工程の後に、前記ウェハに対して500℃～800℃の範囲で熱処理を行う第5の工程を行うことを特徴とする請求項1乃至4のいずれか1に記載の半導体基板の製造方法。

【請求項6】 前記第2の工程の後に、前記ウェハの裏面に所定膜厚のポリシリコン層を形成する第6の工程を行うことを特徴とする請求項1乃至4のいずれか1に記

載の半導体基板の製造方法。

【請求項7】 前記半導体基板中の酸素濃度は、16ppm～35ppmであることを特徴とする請求項1乃至6のいずれか1に記載の半導体基板の製造方法。

【請求項8】 前記第1の工程において、前記シリコン融液に炭素を添加し、前記半導体基板中の炭素濃度を0.5ppm～15ppmとすることを特徴とする請求項1乃至7のいずれか1に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体基板の製造方法に係り、特に、引き上げ法（CZ法）や磁場印加引き上げ法（MCZ法）により作製されたシリコン単結晶から加工され、LSI等の半導体装置に用いられる半導体基板を製造する半導体基板の製造方法に関する。

【0002】

【従来の技術】LSI等の半導体装置は、基本的特性として、PN接合においてリーク電流が少ないことやMOSトランジスタのゲート酸化膜に対する信頼性が高いことが要求される。これらの特性を劣化させる原因の1つとして、通常引き上げ法（CZ（Czochralski method）法）やシリコン融液の対流を抑制するために磁場を印加しながらシリコン単結晶を引き上げる磁場印加引き上げ法（MCZ（magnetic field applied Czochralski method）法）によりシリコン単結晶を作製し、そのシリコン単結晶を加工して半導体基板を製造する工程や得られた半導体基板上に半導体装置を製造する工程において、半導体基板や半導体装置に重金属汚染元素等の汚染不純物が混入してしまうことが挙げられる。このような汚染不純物を半導体装置の動作領域から除去又は捕獲する技術として、従来からゲッターリング技術がある。このゲッターリング技術の中で最も広く利用されているものの1つとして、半導体基板自体にゲッターリング能力を持たせるイントリンシックゲッターリング法（IG（intrinsic internal gettering）法）がある。CZ法やMCZ法により作製されたシリコン単結晶を加工して得られた半導体基板には、原料のシリコン融液を貯える石英るつぽから溶け出した酸素が不純物として混入されているが、IG法ではこの酸素が析出することにより形成された結晶欠陥に上記汚染不純物がゲッターリングされる。

【0003】しかし、この酸素析出による結晶欠陥が半導体基板表層に存在するとかえって半導体装置の特性を劣化させてしまう。そこで、このような問題を解決する方法として、例えば、H. Tsuya, K. Ogawa, F. Shimura, Jpn. J. Appl. Phys. 20, L31 (1981). に開示された方法がある。この方法では、半導体基板表層に無欠陥層を、半導体基板内部にはIG法により汚染不純物をゲッターリングするための欠陥領域を形成する。まず、シリコン単結晶を加工して得られたシリコン基板を1150

・C～1200℃の範囲で熱処理し、シリコン基板表層の酸素析出核を熔融分解して酸素を外方拡散させることにより、シリコン基板表層の酸素濃度を低減し、シリコン基板表層に無欠陥層を形成する。また、この工程では、CZ法やMCZ法によるシリコン単結晶の製造工程で不均一に生じた酸素析出核及び析出物が溶解する。その後、シリコン基板を500℃～800℃の範囲で熱処理することにより、シリコン基板内部に新たに酸素析出核及び析出物を形成して半導体基板を製造する。この時、半導体基板表層では、前述した1150℃～1200℃の範囲での熱処理によって酸素濃度が十分低くなっているため、新たに酸素析出核及び析出物が形成されず、無欠陥層は保たれたままである。

【0004】以上説明した、その表層に無欠陥層が、その内部にゲッターリングのための欠陥領域が形成された構造を有する半導体基板の製造方法の1つとして、無欠陥層の結晶品質をより高めるために、例えば、特開昭63-227026号公報に開示された、CZ法やMCZ法によって作製されたシリコン単結晶を加工して得られたシリコン基板表面に無欠陥層としてエピタキシャル層を形成したエピタキシャル基板を使用する方法がある。このエピタキシャル基板は、炭素濃度が7～10ppm、酸素濃度が30ppmのシリコン基板上に、膜厚10μm～15μmのエピタキシャル層が形成されてなる。炭素は、析出核となって酸素析出の効果を助長する役割を果たす。まず、第1の工程として、上記エピタキシャル基板を750℃で3時間熱処理することにより、エピタキシャル基板内部に酸素析出核及び析出物が形成される。次に、第2の工程として、右エピタキシャル基板の温度を750℃から1000℃まで上昇させた後、4時間熱処理することにより、半導体基板を製造する。第2の工程では、上記第1の工程でエピタキシャル基板内部に形成された酸素析出核及び析出物がより成長し、安定する。以上の方法により、従来無欠陥層を形成するために行っていた1150℃～1200℃の範囲での熱処理を省略できると共に、半導体装置の動作領域は、従来の無欠陥層より結晶品質のよいエピタキシャル層とすることができる。

【0005】

【発明が解決しようとする課題】ところで、上記特開昭63-227026号公報に開示された従来の半導体基板の製造方法においては、エピタキシャル層形成後に酸素析出核及び析出物の形成及び成長のための熱処理が行われるので、その工程における歩留まりの善し悪しがコストアップに与える影響は大きい。

【0006】また、エピタキシャル層を形成するための反応炉ではC1系のガスを使用するため、このC1系のガスがステンレス製のガス配管を腐食することにより、その腐食したガス配管から飛散したMoやFe等が、エピタキシャル層形成過程において、汚染不純物として半

導体基板のバンドギャップ中に深い準位を形成し、半導体装置の特性を劣化させてしまう。そこで、このMoやFe等の汚染不純物をゲッターリングする必要があるが、上記公報に開示された従来の半導体基板の製造方法においては、エピタキシャル層形成時には、汚染不純物をゲッターリングするためのゲッターサイトである酸素析出核は形成されないため、右エピタキシャル層形成過程で混入する汚染不純物に対するゲッターリング能力はないという欠点がある。

【0007】近年の半導体装置の集積化に伴い、チップ面積は、ますます増大する傾向にある。このため、半導体装置の生産性を向上させるために、シリコン基板はますます大口径化されている。このシリコン基板の大口径化に伴い、シリコン基板上に形成されるエピタキシャル層の厚さ及び抵抗の面内における均一性を確保するために、枚葉型の反応炉でシリコン基板上にエピタキシャル層を形成するのが一般的になっている。枚葉型の反応炉においてはランプでシリコン基板を加熱するため、シリコン基板は急速に加熱され、急速に冷却されることになる。この結果、シリコン基板上にエピタキシャル層を形成して得られたエピタキシャル基板においては、酸素析出核及び析出物が非常に少なくなってしまうという問題があった。これは以下に示す原因によるものと考えられる。すなわち、シリコン基板内部に過飽和に存在する酸素は、熱処理により凝集成長するが、この成長が安定して進行するか否かは酸素析出核及び析出物が熱処理の温度での臨界核を超えるか否かに関係する。この臨界核は温度が高いほど大きい。シリコン基板が急速に加熱されると、低温においてサイズの小さい酸素析出核及び析出物が十分に成長する時間がないため、エピタキシャル層形成後の酸素析出核及び析出物の密度がほとんど熱処理の最高温度で決定されてしまうためと考えられる。

【0008】従って、半導体基板の酸素析出核及び析出物の密度をゲッターリングに必要なだけ得ようとする、エピタキシャル基板に対して行う酸素析出核及び析出物の形成及び成長のための熱処理の時間をより長くする必要があり、これがコストアップの要因となってしまう。さらに、熱処理時間を長くし過ぎて酸素析出核及び析出物が形成及び成長が過度になされると、エピタキシャル層の結晶品質を劣化させてしまう（例えば、転位（スリップ）等）。特に、エピタキシャル層の膜厚が薄い場合には、結晶品質の劣化が顕著になってしまう。

【0009】この発明は、上述の事情に鑑みてなされたもので、半導体基板や半導体装置の製造工程中に半導体基板や半導体装置に混入される汚染不純物を効率的に除去又は捕獲できると共に、シリコン基板表面に無欠陥層として形成されるエピタキシャル層が薄い場合にも適用できる半導体基板の製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明に係る半導体基板の製造方法は、石英るつぼに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法により引き上げ途中のシリコン単結晶インゴットを上記シリコン融液から切り離した後、上記シリコン単結晶インゴットの温度を 1200°C 以上から 600°C 以下まで急冷する第1の工程と、上記第1の工程で作製されたシリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工する第2の工程と、上記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴としている。

【0011】請求項2記載の発明に係る半導体基板の製造方法は、石英るつぼに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法によりシリコン単結晶インゴットを引き上げた後、再び 1200°C 以上に加熱し、その後上記シリコン単結晶インゴットの温度を 600°C 以下まで急冷する第1の工程と、上記第1の工程で作製されたシリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工する第2の工程と、上記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴としている。

【0012】請求項3記載の発明に係る半導体基板の製造方法は、石英るつぼに貯えられたシリコン融液から引き上げ法又は磁場印加引き上げ法によりシリコン単結晶インゴットを引き上げた後、上記シリコン単結晶インゴットを、所定の大きさの複数のブロックに分断し、上記複数のブロックの温度をそれぞれ 1200°C 以上に加熱した後 600°C 以下まで急冷する第1の工程と、上記第1の工程で作製された上記シリコン単結晶インゴットからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工する第2の工程と、上記ウェハ上にエピタキシャル層を形成して半導体基板を製造する第3の工程とからなることを特徴としている。

【0013】また、請求項4記載の発明は、請求項1乃至3のいずれか1に記載の半導体基板の製造方法に係り、上記第1の工程の後に、上記シリコン単結晶インゴット又は上記複数のブロックの温度を $400^{\circ}\text{C}\sim 600^{\circ}\text{C}$ の範囲で一定時間保持又は 600°C から 400°C まで急冷する第4の工程を行うことを特徴としている。

【0014】請求項5記載の発明は、請求項1乃至4のいずれか1に記載の半導体基板の製造方法に係り、上記第2の工程の後に、上記ウェハに対して $500^{\circ}\text{C}\sim 800^{\circ}\text{C}$ の範囲で熱処理を行う第5の工程を行うことを特徴としている。

【0015】請求項6記載の発明は、請求項1乃至4のいずれか1に記載の半導体基板の製造方法に係り、上記第2の工程の後に、上記ウェハの裏面に所定膜厚のポリ

シリコン層を形成する第6の工程を行うことを特徴としている。

【0016】請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体基板の製造方法に係り、上記半導体基板中の酸素濃度は、 $16\text{ppm}\sim 35\text{ppm}$ であることを特徴としている。

【0017】請求項8記載の発明は、請求項1乃至7のいずれか1に記載の半導体基板の製造方法に係り、上記第1の工程において、上記シリコン融液に炭素を添加し、上記半導体基板中の炭素濃度を $0.5\text{ppm}\sim 15\text{ppm}$ とすることを特徴としている。

【0018】

【作用】この発明の構成の半導体基板の製造方法によれば、引き上げ法又は磁場印加引き上げ法により作製されたシリコン単結晶インゴット又ブロックの温度を 1200°C 以上から 600°C 以下まで急冷した後、そのシリコン単結晶インゴット又はブロックからその内部に発生した空孔を過剰に含有する領域のみを取り出してウェハに加工し、そのウェハ上にエピタキシャル層を形成して半導体基板としている。これにより、半導体基板や半導体装置の製造工程中に半導体基板や半導体装置に混入される汚染不純物を効率的に除去又は捕獲できると共に、ウェハ表面に無欠陥層として形成されるエピタキシャル層が薄い場合にも結晶品質を損なうことがないので適用できる。従って、歩留まりが向上するなど、生産性が向上する。

【0019】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

A. 第1の実施例

図1は、この発明の第1の実施例である半導体基板の製造方法を示す工程図である。以下、順を追ってその製造工程を説明する。まず、図1(a)に示すように、石英るつぼ(成長炉)1に貯えられたシリコン融液2からCZ法又はMCZ法により引き上げ途中のシリコン単結晶インゴット3の温度は、 1200°C 以上に達している。なお、符号4はヒータを示している。また、同図(a)には、MCZ法に用いる、磁場を印加するための電磁石は示していない。そこで、引き上げ途中のシリコン単結晶インゴット3を、シリコン融液2から切り離した後、その温度を 600°C 以下まで、例えば、4分程度で急冷する。この熱処理により、シリコン単結晶インゴット3の作製時にその内部に発生した空孔は、シリコン単結晶インゴット3の外周部から外方拡散するので、その内部には、空孔過剰含有領域3aが形成される。この空孔は、反応式(1)で示すように酸素析出の促進に役立つと考えられる。

【0020】

【数1】



【0021】反応式(1)において、Siはシリコン原子、 O_i は侵入型不純物としてシリコン単結晶インゴット3内部の格子間位置に存在する酸素原子、Vは空孔、 SiO_2 は酸素析出物である。なお、シリコン単結晶インゴット3の温度を 1200°C 以上から 600°C 以下に急冷した後、ゲッタサイトである酸素析出核を成長させるために、その温度を 400°C ～ 600°C の範囲で一定時間保持するようにしても良い。この場合、酸素濃度は、 16ppm ～ 35ppm が望ましい。他の実施例でも同様である。

【0022】また、より酸素析出を促進するために、CZ法又はMCZ法によってシリコン単結晶インゴット3を作製する時に、石英るつぼ1内に原料であるシリコン多結晶と共に炭素を添加しても良い。炭素原子は、置換型不純物としてシリコン単結晶インゴット3の格子位置に混入される。この炭素原子は、共有結合半径がシリコン原子のそれより 30% ～ 40% 小さいので、その周囲では無欠陥の場合に比較してシリコン原子間距離が長くなっている。そのため、不純物酸素が集まりやすく、析出が生じやすいのである。この場合、炭素濃度は、 0.5ppm ～ 15ppm が望ましい。他の実施例でも同様である。

【0023】次に、シリコン単結晶インゴット3の外周部を切削し、空孔過剰含有領域3aのみを取り出し、ウェハ5に加工した後、このウェハ5に対して、 500°C ～ 800°C の範囲で熱処理を行い、酸素析出核を成長させる(同図(b))。この熱処理は、シリコン単結晶インゴット3からウェハ5に加工した段階で、酸素析出核のサイズが十分大きい場合には、行わなくても良い。そして、同図(c)に示すように、ウェハ5上にエピタキシャル層6を形成して半導体基板を製造する。

【0024】B. 第2の実施例

次に、第2の実施例について説明する。図2は、この発明の第2の実施例である半導体基板の製造方法を示す工程図である。以下、順を追ってその製造工程を説明する。まず、図2(a)に示すように、石英るつぼ11に貯えられたシリコン融液12からCZ法又はMCZ法によりシリコン単結晶インゴット13を引き上げた後、そのシリコン単結晶インゴット13の先端をシリコン融液2に近接させてシリコン融液2の輻射熱を十分受けるようにすると共に、通常より長く形成したヒータ14によってシリコン単結晶インゴット13全体を補助的に加熱してその温度を再び 1200°C 以上に上昇させた後、一定時間保持する。なお、図2(a)には、MCZ法に用いる、磁場を印加するための電磁石は示していない。次に、シリコン単結晶インゴット13の温度を 600°C 以下まで、例えば、4分程度で急冷し、その内部に空孔過剰含有領域13aを形成させる。なお、上記第1の実施例と同様、必要に応じて、この後シリコン単結晶イン

ゴット13の温度を 400°C ～ 600°C の範囲で一定時間保持したり、CZ法又はMCZ法によるシリコン単結晶インゴット13作製時に、石英るつぼ11内に原料であるシリコン多結晶と共に炭素を添加しても良い。

【0025】次に、シリコン単結晶インゴット13の外周部を切削し、空孔過剰含有領域13aのみを取り出し、ウェハ15に加工した後、ウェハ15の裏面に膜厚 $1\mu\text{m}$ 程度のポリシリコン層16を形成する(図2

(b)参照)。この処理は、熱処理としては、上記第1の実施例におけるウェハ5加工後の熱処理を 620°C で2時間行った場合と等価的である。この処理により、ポリシリコン層16が汚染不純物のゲッタサイトとなると考えられる。この処理をPBS (Poly-silicon Back Seal) 処理と呼ぶことにする。そして、図2(c)に示すように、ウェハ15上にエピタキシャル層17を形成して半導体基板を製造する。

【0026】C. 第3の実施例

次に、第3の実施例について説明する。図3は、この発明の第3の実施例である半導体基板の製造方法を示す工程図である。以下、順を追ってその製造工程を説明する。まず、CZ法又はMCZ法によりシリコン単結晶インゴットを作製し、引き上げ炉から取り出した後、そのシリコン単結晶インゴットを、図3(a)に示すように、適当な大きさのブロック21a及び21bに分断する。次に、各ブロック21a及び21bをそれぞれ 1200°C 以上に加熱した後、 600°C 以下まで、例えば、4分程度で急冷し、その内部に空孔過剰含有領域22a及び22bを形成させる。なお、上記第1及び第2の実施例と同様、必要に応じて、この後各ブロック21a及び21bの温度を 400°C ～ 600°C の範囲で一定時間保持したり、CZ法又はMCZ法によるシリコン単結晶インゴット作製時に、石英るつぼ内に原料であるシリコン多結晶と共に炭素を添加しても良い。

【0027】次に、各ブロック21a及び21bの外周部を切削し、空孔過剰含有領域22a及び22bのみを取り出し、ウェハ23に加工した後、必要に応じて、このウェハ23に対して 500°C ～ 800°C の範囲で熱処理を行い、酸素析出核を成長させる(図3(b)参照)。そして、図3(c)に示すように、ウェハ23上にエピタキシャル層24を形成して半導体基板を製造する。

【0028】次に、上記第1～第3の実施例の製造方法により製造した半導体基板の特性を従来の製造方法で製造した半導体基板の特性と比較するために、試料を作製し、汚染不純物のゲッタリングの様子を観察した。試料には、それぞれシリコン単結晶インゴット又はブロックから加工されたウェハの表面をFeで汚染した後、エピタキシャル層を形成し、さらにその上にAlを蒸着することによりショットキーダイオードが形成されたものを使用した。この試料のエピタキシャル層に含まれるFe

濃度をDLTS (Deep Level Transient Spectroscopy) で測定した。

【0029】図4に作製した試料の詳細を示す。試料番号1及び2の試料が上記特開昭63-227026号公報に開示された従来の製造方法で作製したもの、試料番号A～Iの試料が上記第1～第3の実施例の製造方法で作製したものである。各試料のウェハの導電型は全てほう素ドーピングのP型である。図4において、引き上げ法は、シリコン単結晶インゴット作製時に使用した引き上げ法であり、試料番号E及びFの試料の場合はMCZ法を使用し、その他の試料番号の試料の場合はCZ法を使用した。酸素濃度は、石英るつぼからの酸素の溶解をるつぼを回転することにより制御した。炭素濃度については、試料番号A～Fの試料の場合は、シリコン単結晶インゴット作製時に意図せずに不純物として混入した炭素の濃度であり、試料番号1、2及びG～Iの試料の場合は、シリコン単結晶インゴット作製時に石英るつぼ内に原料であるシリコン多結晶と共に炭素を添加した場合の炭素の濃度である。

【0030】1200～600℃の熱履歴とは、シリコン単結晶インゴット又はブロックの温度を1200℃から600℃までどのように低下させたかを意味している。試料番号1及び2の試料の場合は従来の方法でその温度を低下させ、試料番号A～Iの試料の場合は、上記第1～第3の実施例で説明したように、その温度を1200℃から600℃まで4分程度で急冷させている。同様に、600～400℃の熱履歴とは、シリコン単結晶インゴット又はブロックの温度を600℃から400℃までどのように低下させたかを意味している。試料番号1、2、B及びDの試料の場合は従来の方法でその温度を低下させ、試料番号A及びIの試料の場合は、上記第1～第3の実施例で説明したように、その温度を450℃で2時間保持しており、試料C及びE～Hの場合は、その温度を急冷させている。

【0031】エピ層成長前析出処理とは、シリコン単結晶インゴット又はブロックをウェハに加工した後、ウェハ表面にエピタキシャル層を形成する前に熱処理をどのように施したかを意味している。試料番号1、2、A及びGの試料の場合は右熱処理を施さず、試料番号C～Eの試料の場合は上記したPBS処理を施し、試料番号Bの試料の場合はその温度を650℃で2時間保持し、試料番号Fの試料の場合はその温度を750℃で2時間保持し、試料番号Hの試料の場合はその温度を650℃で4時間保持し、試料番号Iの試料の場合はその温度を800℃で2時間保持している。エピ層厚とは、ウェハ表面に形成したエピタキシャル層の膜厚であり、膜厚の薄いものについては測定できないので、エピタキシャル層の成長時の時間で膜厚を管理している。なお、半導体装置を作製する場合には、ウェハ表面にエピタキシャル層形成後に本来700℃で3時間熱処理を施し

た後、1000℃で4時間熱処理を施す必要があるが、今の場合は、エピタキシャル層形成過程において混入される重金属による汚染を観察するものであるから、これらの試料には右熱処理は施していない。

【0032】Feによる汚染は、シリコン単結晶インゴット又はブロックをウェハに加工した後、ウェハ表面をAPM (アンモニア過水) → DHF (希フッ酸) → HPM (塩酸過水) という順で洗浄した後、行った。Feによる汚染は、原子吸光分析用の標準溶液を希釈したものをウェハ表面に滴下し、それをウェハ表面全体に広げた後、スピコートした上で乾燥させることにより行った。右標準溶液の滴下量は、乾燥後のFe汚染量が全反射蛍光X線で測定した時に $1 \times 10^{11} \text{ cm}^{-2}$ となるような条件で行った。

【0033】以上説明した方法でウェハの表面をFeで汚染した後、そのウェハ表面上にエピタキシャル層を形成し、さらにその上にAlを蒸着することによりショットキーダイオードを形成し、エピタキシャル層中のFe濃度を測定した。測定結果を図5に示す。今回用いたDLTSは、Feの検出限界が $1 \times 10^{10} \text{ cm}^{-3}$ である。図5から分かるように、従来の製造方法で作製した試料番号1及び2の試料においては、ウェハとエピタキシャル層との間に存在するFeがエピタキシャル層形成過程においてエピタキシャル層中に拡散し、ゲッタリングされていない。これに対して、上記第1～第3の実施例の製造方法で作製した試料番号A～Iの試料においては、試料番号1及び2の試料と比較して、Fe濃度が2桁以上低くなっている。これは、ウェハ表面上にエピタキシャル層を形成する前に、1200℃から600℃までの急冷熱処理その他の熱処理を施すことによって形成されたゲッタサイトが有効に働いたためと考えられる。また、試料番号C～Eの試料において、特にゲッタリングが有効に行われているのは、ウェハ裏面に形成したポリシリコン層もFeのゲッタサイトになっているためと考えられる。

【0034】次に、図4に示した試料と同様なものを半導体基板とし、その上にダイオードを形成して、そのPN接合におけるリーク電流を測定した。図6にこの測定で半導体基板上に形成したダイオードの断面図を示す。まず、図4に示す全ての試料について、ウェハ表面にエピタキシャル層形成後、酸素析出のために、700℃での3時間の熱処理及び1000℃での4時間の熱処理を施し、半導体基板31とする。この半導体基板31に、加速電圧120 keV、面積濃度 $5 \times 10^{13} \text{ atoms/cm}^2$ 程度でボロンイオン(B⁺)を注入した後、1175℃で2時間のドライブイン処理を行い、P型ウェル層32を形成する。次に、LOCOS (local oxidation of silicon) 法などにより素子形成領域33及び素子分離酸化膜34を形成した後、素子形成領域33にN型拡散層34を形成してダイオードとする。

【0035】このように作製されたダイオードのN型拡散層34とP型ウェル層32とによって構成されるPN接合に5Vの電圧を印加してリーク電流を測定した。その測定結果を図7に示す。リーク電流を測定したN型拡散層34の面積は、 $500\mu\text{m} \times 500\mu\text{m}$ である。図7に示すリーク電流の値は、ウェハ面内200個のPN接合におけるリーク電流を測定し、その値の大きい方から20%の値である。ウェハ面内から200個のPN接合を選択して測定しているのもその値にばらつきがあるが、上記第1～第3の実施例の製造方法により製造した半導体基板を用いた試料番号A～Iの試料のリーク電流は、全て10-12A台に抑えられている。これに対して、従来の製造方法により製造した半導体基板を用いた試料番号1及び2の試料のリーク電流は、10-7A以上のものが多数見られた。このようなリーク電流が大きな箇所には、酸素析出物がエピタキシャル層まで突き出していることが分析により確認された。この酸素析出物は、PN接合におけるリーク電流を測定するためにダイオードを作製した際に発生したものである。以上のことから、従来の製造方法では、炭素濃度が高い場合、ウェハ表面にエピタキシャル層形成後、酸素析出のために、 700°C での3時間の熱処理及び 1000°C での4時間の熱処理を施すと、場合によっては、比較的厚いエピタキシャル層であっても結晶欠陥を発生させ、PN接合におけるリーク電流の値が大きくなることが分かった。

【0036】これに対して、上記第1～第3の実施例の製造方法によれば、酸素析出物密度が適切な量になっているので、エピタキシャル層の結晶品質を損なうことなく、ゲッターリング能力の高い半導体基板を作製できることがわかった。この結果、エピタキシャル層の膜厚を薄くすることができる。また、シリコン単結晶インゴット又はブロックの状態でゲッターサイトである酸素析出物の析出のための熱処理を行っているため、生産性を高めることができる。さらに、空孔過剰含有領域からウェハを作製しているため、容易に酸素析出をすることができる。また、酸素析出物が過多になる虞がある場合でも、エピタキシャル層形成時に急速加熱処理がなされるので、それによって回避できる。

【0037】以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述の第1及び第3の実施例においては、必要に応じて、ウェハ5に対して $500^{\circ}\text{C} \sim 800^{\circ}\text{C}$ の範囲で熱処理を行った例を示したが、これに限定されず、上述の第2の実施例のように、ウェハ15の裏面に膜厚 $1\mu\text{m}$ 程度

のポリシリコン層16を形成しても良い。同様に、上述の第2の実施例において、ウェハ15の裏面に膜厚 $1\mu\text{m}$ 程度のポリシリコン層16を形成する処理に代えて、ウェハ5に対して $500^{\circ}\text{C} \sim 800^{\circ}\text{C}$ の範囲で熱処理を行っても良い。

【0038】

【発明の効果】以上説明したように、この発明の構成によれば、引き上げ法又は磁場印加引き上げ法により作製されたシリコン単結晶インゴット又ブロックの温度を 1200°C 以上から 600°C 以下まで急冷した後、そのシリコン単結晶インゴット又はブロックからその内部に発生した空孔を過剰に含有する領域のみを取り出し、ウェハに加工してそのウェハ上にエピタキシャル層を形成して半導体基板としているので、半導体基板や半導体装置の製造工程中に半導体基板や半導体装置に混入される汚染不純物を効率的に除去又は捕獲できると共に、ウェハ表面に無欠陥層として形成されるエピタキシャル層が薄い場合にも結晶品質を損なうことがないので適用できる。これにより、歩留まりが向上するなど、生産性が向上する。

【図面の簡単な説明】

【図1】この発明の第1の実施例である半導体基板の製造方法を示す工程図である。

【図2】この発明の第2の実施例である半導体基板の製造方法を示す工程図である。

【図3】この発明の第3の実施例である半導体基板の製造方法を示す工程図である。

【図4】従来技術及びこの発明の各実施例の半導体基板の製造方法及び製造条件を示す図である。

【図5】従来技術及びこの発明の各実施例の半導体基板の製造方法により製造された半導体基板の特性を示す図である。

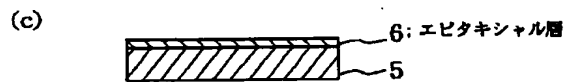
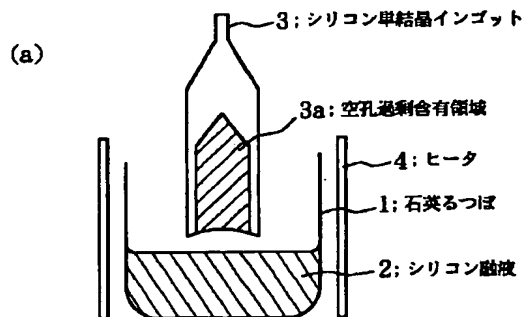
【図6】従来技術及びこの発明の各実施例の半導体基板の製造方法により製造された半導体基板上に作製したダイオードの断面図である。

【図7】従来技術及びこの発明の各実施例の半導体基板の製造方法により製造された半導体基板上に作製したダイオードの特性を示す図である。

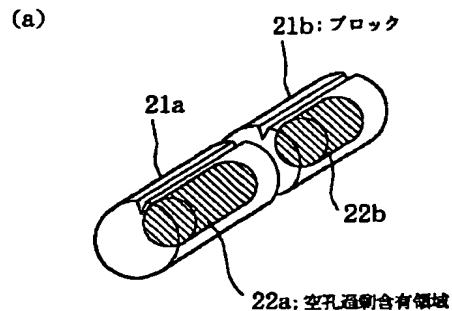
【符号の説明】

- 1 石英るつぼ
- 3, 13 シリコン単結晶インゴット
- 3a, 13a, 22a, 22b 空孔過剰含有領域
- 5, 15, 23 ウェハ
- 6, 17, 24 エピタキシャル層
- 16 ポリシリコン層
- 21a, 21b ブロック

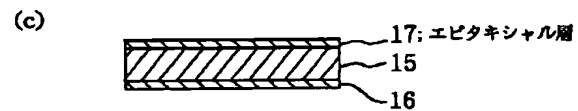
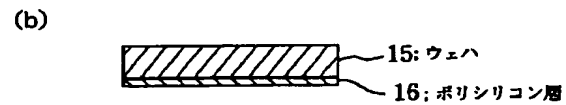
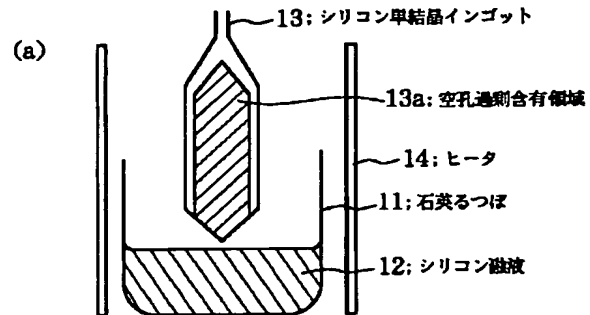
【図 1】



【図 3】



【図 2】



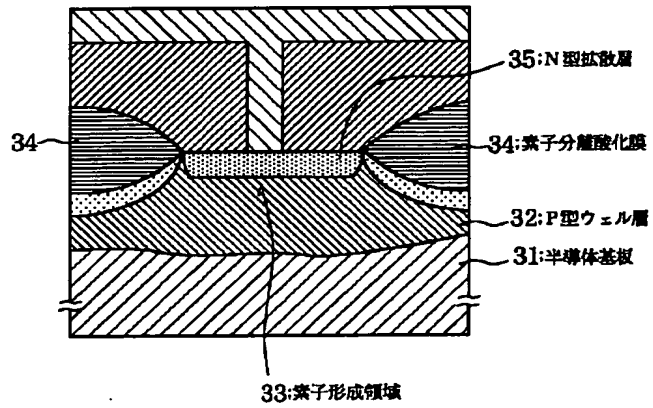
【図 4】

試料 番号	引き 上げ法	酸素 濃度 [ppm]	炭素 濃度 [ppm]	1200~ 600℃ の熱履歴	600~ 400℃ の熱履歴	エビ層成長前 析出処理	エビ 層厚 [μm]
1	CZ法	30	7	通常	通常	なし	15
2	CZ法	35	15	通常	通常	なし	10
A	CZ法	36	0.4	急冷	450℃ 2hr 保持	なし	5
B	CZ法	34	0.3	急冷	通常	650℃ 2hr	3
C	CZ法	22	0.3	急冷	徐冷	PBS	3
D	CZ法	26	0.5	急冷	通常	PBS	3
E	MCZ法	22	0.4	急冷	徐冷	PBS	2
F	MCZ法	22	0.4	急冷	徐冷	750℃ 2hr	2
G	CZ法	34	15	急冷	徐冷	なし	2
H	CZ法	34	4	急冷	徐冷	650℃ 4hr	3
I	CZ法	28	4	急冷	450℃ 2hr 保持	800℃ 2hr	5

【図 5】

試料番号	Fe 濃度	試料番号	Fe 濃度
1	$2.1 \times 10^{13} \text{ cm}^{-3}$	E	検出限界以下
2	$1.4 \times 10^{13} \text{ cm}^{-3}$	F	$3.1 \times 10^{10} \text{ cm}^{-3}$
A	$3.4 \times 10^{10} \text{ cm}^{-3}$	G	$2.5 \times 10^{10} \text{ cm}^{-3}$
B	$4.3 \times 10^{10} \text{ cm}^{-3}$	H	$1.6 \times 10^{10} \text{ cm}^{-3}$
C	検出限界以下	I	検出限界以下
D	検出限界以下		

【図6】



【図7】

試料番号	リーク電流 (A)	試料番号	リーク電流 (A)
1	1.3×10^{-9}	E	4.9×10^{-12}
2	3.4×10^{-7}	F	6.4×10^{-12}
A	6.1×10^{-12}	G	5.2×10^{-12}
B	5.8×10^{-12}	H	4.9×10^{-12}
C	4.0×10^{-12}	I	4.9×10^{-12}
D	5.2×10^{-12}		